

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-032477

(43)Date of publication of application : 02.02.1999

(51)Int.Cl.

H02M 3/155

(21)Application number : 09-197965

(71)Applicant : NEW JAPAN RADIO CO LTD

(22)Date of filing : 09.07.1997

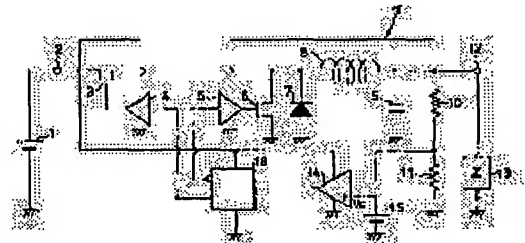
(72)Inventor : TAKEUCHI KAZUO
NISHIO YUJI

(54) SYNCHRONOUS RECTIFICATION SWITCHING POWER SUPPLY AND SEMICONDUCTOR INTEGRATED CIRCUIT THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a power loss which is produced by a circulation current FET (field effect transistor) and a buffer for applying a voltage to the gate of the circulation current FET.

SOLUTION: The gate voltage of a circulation current FET 6 connected in parallel to a circulation current diode 7 is supplied by a buffer 5. A wiring (a) for supplying a power supply voltage to the buffer 5 is connected to an output terminal 12 from which a voltage lower than an input voltage applied to an input terminal 2 by an input DC power supply 1 is outputted, so that a power loss can be reduced securely.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-32477

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl.⁸

H 0 2 M 3/155

識別記号

F I

H 0 2 M 3/155

H

X

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21) 出願番号 特願平9-197965

(22) 出願日 平成9年(1997) 7月9日

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72) 発明者 竹内 和男

埼玉県上福岡市福岡二丁目1番1号 新日

本無線株式会社川越製作所内

(72) 発明者 西尾 裕司

埼玉県上福岡市福岡二丁目1番1号 新日

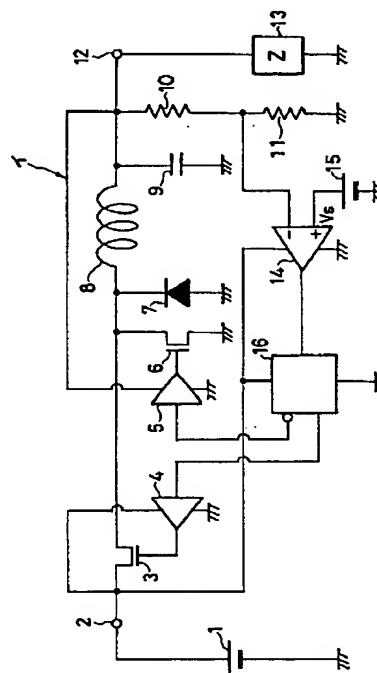
本無線株式会社川越製作所内

(54) 【発明の名称】 同期整流型スイッチング電源装置及び同期整流型スイッチング電源装置用半導体集積回路

(57) 【要約】

【課題】 環流用 F E T 及びこの環流用 F E T のゲート電圧を印加するためのバッファに起因する電力損失を軽減する。

【解決手段】 環流用ダイオード 7 と並列に接続された環流用 F E T 6 のゲート電圧は、バッファ 5 により供給されるようになっており、このバッファ 5 の電源電圧供給のための配線は、入力端子 2 に印加される入力用直流電源 1 による入力電圧よりも低い電圧が出力される出力端子 1 2 側に接続されており、確実な電力損失が図られるようになっている。



1

【特許請求の範囲】

【請求項 1】 出力段に設けられた平滑リアクトルからの電磁エネルギー放出のための環流用ダイードと、前記環流用ダイードと並列接続され、当該環流用ダイードへ流れ込む電流の一部を負担する環流用 F E T と、当該環流用 F E T のゲート電圧を供給するバッファとを具備してなる同期整流型スイッチング電源装置において、前記バッファの電源電圧が出力側から供給されるように構成されてなることを特徴とする同期整流型スイッチング電源装置。

【請求項 2】 出力段に設けられた平滑リアクトルからの電磁エネルギー放出のための環流用ダイードと、前記環流用ダイードと並列接続され、当該環流用ダイードへ流れ込む電流の一部を負担する環流用 F E T と、当該環流用 F E T のゲート電圧を供給するバッファとを具備してなり、かつ、半導体集積回路化された同期整流型スイッチング電源装置用半導体集積回路において、前記バッファの電源電圧が印加される電源端子を、外部配線可能に設けたことを特徴とする同期整流型スイッチング電源装置用半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、いわゆるスイッチング電源装置に係り、特に、環流ダイードと並列に接続され、かつ、スイッチングトランジスタと同期して動作するよう設けられた環流トランジスタを具備してなるいわゆる同期整流型スイッチング電源装置における環流トランジスタに起因する電力損失の低減を図ったものに関する。

【0002】

【従来の技術】従来、この種の同期整流型スイッチング電源装置においては、電力効率を如何に向上させるかが、装置の評価を行う上で重要な問題であり、そのため、電流の通路となるスイッチング動作を行ういわゆるパワー素子による直列損失を如何に押さえるかが電力効率向上を図る上での鍵として種々検討されてきた。一方、入力端子と出力端子との間に直列にパワー素子を直列接続し、出力の変動に応じて、その導通抵抗を変えるよう構成されたいわゆる直列型電源装置においては、入出力間電圧差は、パワー素子での損失となり効率低下を招くことから、入力電圧は、出力特性を維持でき得る最小の電圧とするのがこれまでの方策であった。

【0003】これに対して、スイッチング電源装置においては、入出力間電圧差が大きいほうが、一回あたりのスイッチングで伝達される電力が大きくなり、また、スイッチング素子の飽和電圧による損失の割合が小さくなるため、効率の向上につながるという効果をもたらす。

【0004】この点は、同期整流スイッチング電源装置においても同様であり、特に、降圧型のものにおいては、環流用 F E T のゲート電圧が高いほど、そのいわゆ

2

るオン抵抗が低くなる等の利点があるため、通常のスイッチング電源装置に比して入力電圧を高く設定する傾向にあった。

【0005】

【発明が解決しようとする課題】ところで、環流用に用いられる F E T のゲート電圧は、素子特性や温度特性などにも依存するが、概ね 5 乃至 10 V 程度あれば実用上十分であり、それ以上の電圧を印加しても F E T の動作を向上させることにはならず、むしろ無駄な電力消費を増大させるだけとなる。特に、入出力間電位差の高いいわゆる D C / D C コンバータではこのような影響がより顕著となる傾向にある。また、スイッチング電源装置では、上述のようなスイッチングトランジスタや環流用 F E T の直流抵抗分の他に、これら電力用素子のベースまたはゲートを駆動するために必要とされる電力が電力損失として案外無視できない。

【0006】F E T をスイッチング駆動する場合、そのゲート容量を充放電することとなるために、電力損失は電圧の 2 乗に比例して増加すると共に、スイッチング電源装置の動作周波数に比例することが知られている。一方、近年、スイッチング電源装置の動作周波数が、効率向上等の観点から上昇する傾向にあるが、そのため、上述のようなことと相俟って、スイッチング用の F E T における電力損失がより増加し、電源装置全体の電力損失に占める割合が増える傾向にあり、このような F E T での電力損失を抑圧することがこれまで以上に必要とされている。

【0007】ところが、先に述べたような降圧型スイッチング電源装置においては、従来、環流用 F E T を駆動するバッファの電源を、電源装置の入力側から供給するような構成となっているため、環流用 F E T のゲートに印加される電圧が、先に述べた実用上充分とされる電圧を越える比較的高いものとなり、既に述べたように無駄な電力損失を放置した状態となっていた。加えて、このような必要以上の電圧の印加に起因する発熱に対処するために、比較的大きな放熱板が必要とされ、装置の高価格化を招く原因ともなっていた。

【0008】本発明は、上記実状に鑑みてなされたもので、環流用 F E T 及びこの環流用 F E T のゲート電圧を印加するためのバッファによる電力損失を軽減した同期整流型スイッチング電源装置を提供するものである。本発明の他の目的は、半導体集積回路化された同期整流型スイッチング電源装置において、使用者の選択によって電力損失軽減のための配線が可能な構成を有する同期整流型スイッチング電源用半導体集積回路を提供することにある。

【0009】

【課題を解決するための手段】請求項 1 記載の発明に係る同期整流型スイッチング電源装置は、出力段に設けられた平滑リアクトルからの電磁エネルギー放出のための

10

20

30

40

50

3

環流用ダイオードと、前記環流用ダイオードと並列接続され、当該環流用ダイオードへ流れ込む電流の一部を負担する環流用 F E T と、当該環流用 F E T のゲート電圧を供給するバッファとを具備してなる同期整流型スイッチング電源装置において、前記バッファの電源電圧が出力側から供給されるように構成されてなるものである。

【0010】かかる構成においては、出力電圧として、入力に印加がされた直流電源電圧よりも低い電圧が出力される降圧型の同期整流型スイッチング電源装置において、バッファの電源電圧は、従来と異なり、入力電圧よりも低いこのスイッチング電源装置の出力電圧であるために、入力電圧よりも低い分だけ、従来と比して確実に環流用 F E T のゲート駆動に起因する電力損失が低減されることとなるものである。

【0011】請求項 2 記載の発明に係る同期整流型スイッチング電源装置用半導体集積回路は、出力段に設けられた平滑リアクトルからの電磁エネルギー放出のための環流用ダイオードと、前記環流用ダイオードと並列接続され、当該環流用ダイオードへ流れ込む電流の一部を負担する環流用 F E T と、当該環流用 F E T のゲート電圧を供給するバッファとを具備してなり、かつ、半導体集積回路化された同期整流型スイッチング電源装置用半導体集積回路において、前記バッファの電源電圧が印加される電源端子を、外部配線可能に設けてなるものである。

【0012】かかる構成においては、特に、環流用 F E T のゲート電圧を出力するバッファの電源電圧供給のための配線を、外部において可能としたことで、例えば、同期整流型スイッチング電源装置としての出力電圧を印加するように配線すれば、出力電圧よりも高い入力電圧を供給するように構成されていた従来と異なり、確実に電力損失を軽減することができ、しかも、そのような構成とすることが使用者によって任意に選択可能となっており、融通性のある同期整流型スイッチング電源装置用半導体集積回路が提供されるものである。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について、図 1 及び図 2 を参照しつつ説明する。なお、以下に説明する部材、配置等は本発明を限定するものではなく、本発明の趣旨の範囲内で種々改変することができるものである。最初に、図 1 を参照しつつ第 1 の回路構成例について説明する。この第 1 の回路構成例における同期整流型スイッチング電源装置は、後述するバッファの部分を除いては、基本的にこの種の公知・周知の同期整流型スイッチング電源装置と同様な回路構成を有してなるものである。まず、回路構成について説明すれば、入力用直流電源 1 が接続される入力端子 2 と、負荷（図 1 においては「Z」と表記）13が接続される出力端子 12との間には、入力端子 2 側から F E T (Field Effect Transistor) を用いてなる出力スイッチングトランジスタ 3、平滑リアクトル 8 が順に直列接続されている。

4

【0014】出力端子 12 側の平滑リアクトル 8 の端部には、アースとの間に平滑用コンデンサ 9 が接続されると共に、出力電圧検出のために、検出用抵抗器 10、11 がアースとの間に直列接続されている。また、この検出用抵抗器 10、11 の相互の接続点は、電圧比較器 14 の反転入力端子に接続され、この電圧比較器 14 の他方の非反転入力端子には、基準電源 15 からの基準電圧 V s が印加されるようになっている。そして、この電圧比較器 14 からは、出力端子 12 における出力電圧が基準電圧 V s を下回ると、所定の信号、例えば、論理値 High に対応する信号が中央制御回路 16 へ出力されるようになっている。

【0015】中央制御回路 16 は、電圧比較器 14 からの入力信号に応じて、出力スイッチングトランジスタ 3 及び後述する環流用 F E T 6 のスイッチングを制御するための制御信号を出力するようになっているもので、その出力段には、ゲート制御回路 4 及びバッファ 5 のそれぞれが入力段が接続されている。出力スイッチングトランジスタ 3 のゲートには、中央制御回路 16 からの制御信号に応じてゲート電圧を出力するゲート制御回路 4 が接続されている。なお、このゲート制御回路 4 の電源電圧は、入力端子 2 に印加される入力用直流電源 1 の電圧が印加されるようになっている。

【0016】また、出力スイッチングトランジスタ 3 側の平滑リアクトル 8 の端部とアースとの間には、環流用ダイオード 7 が、そのアノード側がアースされるようにして接続されると共に、この環流用ダイオード 7 と並列に環流用 F E T 6 が接続されている。そして、この環流用 F E T 6 のゲートには、先の中央制御回路 16 からの制御信号に応じて、ゲート電圧を出力するバッファ 5 の出力段が接続されている。また、このバッファ 5 の電源電圧は、出力端子 12 側から印加されるようになっている。図 1 においては、符号イで示された部分がバッファ 5 の電源供給のための配線である。

【0017】次に、上記構成における動作について説明する。図示されない電源スイッチが押下されると、出力スイッチングトランジスタ 3 が所定のスイッチング周波数でゲート制御回路 4 を介して中央制御回路 16 によってスイッチングされ、出力端子 12 には、所定の直流電圧がえら得ることとなる。一方、環流用 F E T 6 もバッファ 5 を介して中央制御回路 16 によってスイッチングされるが、そのスイッチングのタイミングは、先の出力スイッチングトランジスタ 3 とは、丁度半周期ずれており、出力スイッチングトランジスタ 3 が非導通状態の際に、導通状態となるように中央制御回路 16 によって制御されるようになっている。

【0018】この環流用 F E T 6 の導通によって、出力スイッチングトランジスタ 3 が導通の際に、平滑リアクトル 8 に貯えられた電磁エネルギーが、環流用ダイオード 7 を介して出力端子 12 へ供給される。

5

ド 7 と環流用 F E T 6 とに分流されて流れることとなり、環流用ダイオード 7 の電力負担が軽減されるようになっている。

【0019】なお、上述した動作は概括的なものであり、厳密には、電源が投入されて、出力電圧が十分な、すなわち、環流用 F E T 6 のバッファ 5 の動作に十分な電圧値に立ち上がるまでの間は、同期型電源装置としてではなく、いわゆる一般的な降圧型電源装置として動作するが、その間は、一般的なスイッチング電源としての動作は可能な状態となっており、かつ、電源が投入されてから立ち上がりまでの時間は非常に短いため、同期型電源装置として動作しないことによる電力損失の増加は殆ど無視できるものである。

【0020】ここで、バッファ 5 及び環流用 F E T 6 による電力損失について考察すると次のようになる。環流用 F E T 6 のスイッチングによって、ゲート容量を充放電することになり、これによる電力損失は、よく知られているように電圧の 2 乗に比例して増加し、電力損失 P は、次式によって求められる。

【0021】

$$P = C_g \cdot V_o^2 \cdot t_{on} \cdot f_{osc} / 2 \cdots (式 1)$$

【0022】ここで、 C_g は、環流用 F E T 6 のゲート容量、 V_o は、バッファ 5 に印加される電源電圧であり、上述した回路構成例においては、出力端子 1 2 における出力電圧である。また、 t_{on} は、環流用 F E T 6 の導通時間、 f_{osc} は、スイッチング周波数である。なお、ここで、 V_o は、本来環流用 F E T 6 のゲート電圧であるが、バッファ 5 の出力段の回路構成からその出力電圧がバッファ 5 の略電源電圧、すなわち出力端子 1 2 における略出力電圧となることから上述のように定義されるものである。

【0023】一方、従来の同期整流型スイッチング電源装置においては、バッファ 5 の電源電圧が入力側から取られていた。すなわち、ゲート制御回路 4 のように入力端子 2 側に電源を印加するための配線が接続されていたため、その電力損失 P' は、 $P' = C_g \cdot V_i^2 \cdot t_{on} \cdot f_{osc} / 2$ と求められる大きさであった。ここで、 V_i は、入力電圧であり、降圧型の電源装置であることから $V_i < V_o$ の関係にある。したがって、上述した発明の実施の形態における回路構成例においては、電力損失 P は、従来の比、出力電圧が入力電圧よりも低い分、確実に低減されるものである。例えば、仮に、出力電圧が入力電圧の $1/2$ であるとする、従来の比して、電力損失は、 $1/4$ に軽減されることとなり、電力損失の大きな低減が図られることとなるものである。特に、入出力間電位差が大きい場合には、その割合は顕著なものとなる。

【0024】次に、第 2 の回路構成例について、図 2 を参照しつつ説明する。なお、図 1 に示された第 1 の回路構成例と同一の構成要素については、同一の符号を付す

6

こととし、その詳細な説明は省略し、以下、異なる点を中心に説明することとする。この第 2 の回路構成例は、図 1 で示された第 1 の回路構成例における同期整流型スイッチング電源装置を半導体集積回路 (IC) として製造するに適した構成としたものであり、基本的な回路構成は、第 1 の回路構成例と略同一のものである。

【0025】すなわち、図 2 において、二点鎖線で囲まれた回路部分 A は、半導体集積回路として製造される部分であり、バッファ 5 の電源端子 1 7 が設けられており、この半導体集積回路の外部で必要な配線を行うような構成となっている。また、環流用 F E T 6 のソース、ドレインが、半導体集積回路の外部へ取り出されるようになっていると共に、検出用抵抗器 1 0 の一端が外部へ取り出されようになっており、外部において、環流用ダイオード 7 及び平滑リアクトル 8 が接続され、検出用抵抗器 1 0 の一端と平滑リアクトル 8 の一端との接続点が出力端子 1 2 に接続されるようになっている。

【0026】したがって、電源端子 1 7 を図 1 に示された第 1 の回路構成例と同様に出力端子 1 2 へ接続すれば、基本的に第 1 の回路構成例と同様な動作を有する同期整流型スイッチング電源装置であって降圧型の DC/DC コンバータが得られることとなる。なお、動作の詳細については、図 1 に示された回路構成例と同様であるのでここでの詳細な説明は省略することとする。

【0027】また、この第 2 の例の場合、電源端子 1 7 の接続は、いわゆるユーザが外部で行うようになっているため、入力端子 2 へ接続することも可能であり、その場合には、従来の昇圧型の DC/DC コンバータとして動作可能である。なお、この場合には、降圧型に比して電力損失が大きくなるのは当然である。

【0028】

【発明の効果】以上、述べたように、請求項 1 記載の発明によれば、環流用 F E T 及びこの環流用 F E T のゲート電圧を供給するバッファに起因する電力損失を軽減できるような構成とすることにより、バッファの電源電圧が従来と比して、確実に低いものとなるため、その分、環流用 F E T 及びバッファに起因する電力損失が確実に低減され、ひいては、装置全体の電力効率の向上に寄与することができるものである。また、従来に比して、環流用 F E T における電力損失が軽減されるため、放熱板を従来に比して小さくするか、または、場合によっては不要とすることができるので、装置のコストダウンを図ることができる。

【0029】請求項 2 記載の発明においては、環流用 F E T のゲート電圧を出力するバッファの電源電圧供給のための配線を、外部において可能としたことで、例えば、同期整流型スイッチング電源装置としての出力電圧を印加するように配線すれば、出力電圧よりも高い入力電圧を供給するように構成されていた従来と異なり、確実に電力損失を軽減することができ、装置全体の電力効

7

率の向上を図ることができる。また、使用者が上述のような構成とするか否かを選択できるようになっているため、融通性の高い同期整流型スイッチング電源装置用半導体集積回路を提供することができる。

【図面の簡単な説明】

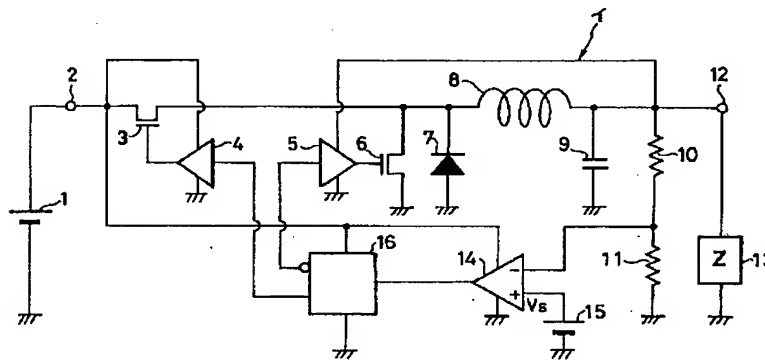
【図 1】 本発明の実施の形態における第 1 の回路構成例を示す回路図である。

【図 2】 本発明の実施の形態における第 2 の回路構成例を示す回路図である。

* 【符号の説明】

- 2…入力端子
- 3…出力スイッチングトランジスタ
- 5…バッファ
- 6…環流用 F E T
- 7…環流用ダイオード
- 8…平滑リアクトル
- 1 2…出力端子
- 1 6…中央制御回路

【図 1】



【図 2】

